

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-15655

(P2001-15655A)

(43)公開日 平成13年1月19日 (2001.1.19)

(51)Int.Cl.⁷

H 01 L 23/34

識別記号

F I

H 01 L 23/34

テ-マ-ト⁷(参考)

D

審査請求 未請求 請求項の数42 OL 外国語出願 (全32頁)

(21)出願番号 特願2000-189210(P2000-189210)

(22)出願日 平成12年6月23日 (2000.6.23)

(31)優先権主張番号 09/344704

(32)優先日 平成11年6月25日 (1999.6.25)

(33)優先権主張国 米国 (US)

(71)出願人 591074389

インターナショナル・レクチファイヤー・
コーポレーション
INTERNATIONAL RECTI
FIER CORPORATION
アメリカ合衆国90245カリフォルニア州
エル・セグンド、カンザス・ストリート
233番

(72)発明者 ヴァンサン ティエリー
フランス 13100 エクサンプロヴァンス
レ レ バルミエール トラヴァン ド
ウ ラ トース (番地なし)

(74)代理人 100077481

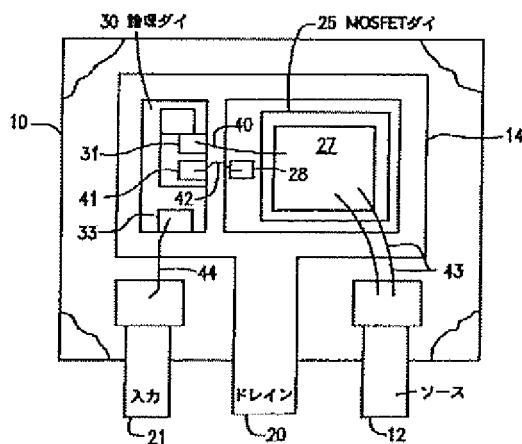
弁理士 谷 義一 (外2名)

(54)【発明の名称】 パワーMOSFETダイと、小型感知MOSFETを備えた制御および保護回路ダイとを有するハイブリッドパッケージ

(57)【要約】

【課題】 主パワーダイより小さいが、パワーデバイスの同等の熱応答を有する一体化した制御および温度感知ダイを備えたパワー半導体デバイスを提供する。

【解決手段】 パワーMOSFETダイおよび論理保護回路ダイが、共通のリードフレームパッド上に実装される。論理保護回路ダイは、パワーMOSFETと並列に接続されるMOSFETを含むが、パワーMOSFETより小さく、パワーMOSFETの電力の所定の割合で電力を放散する。論理保護回路ダイはまた、MOSFETの近くに隣接していて、MOSFETの温度を決定する温度センサも含む。このダイは、リードフレームの温度を決定するためにMOSFETから離れて配置された別の温度センサも含む。パワーMOSFETの温度は、2つのセンサによって測定された温度と2つのMOSFETによって放散された電力の比から決定できる。



【特許請求の範囲】

【請求項1】 主パッド領域および絶縁樹脂封入物を有する導電性リードフレームを含むパッケージに収納された半導体デバイスであって、
それぞれの電極を含む対向する表面を有し、第1の半導体デバイスを含む第1の半導体ダイと、
少なくとも1つが、少なくとも1つの電極を含む対向する表面を有し、その一部に、前記第1の半導体デバイスの熱応答に対応するような第2の半導体デバイスを含む第2の半導体ダイと、
前記第2の半導体デバイスに隣接した位置にある前記第2の半導体ダイ上に配置された第1の熱センサと、
前記第2の半導体デバイスから前記第1の熱センサより離れた位置にある前記第2の半導体ダイ上に配置された第2の熱センサとを備え、
前記第1および第2の半導体ダイのそれぞれの前記対向する表面の1つが前記主パッド領域の頂部に配置され、かつ前記主パッド領域と熱的に接触し、互いから横方向に間隔が設けられ、前記第1の半導体ダイの少なくとも前記1つの対向する表面が前記主パッド領域と電気的に接觸し、
前記第1および第2の半導体デバイスが並列に接続されるように、前記第1および第2の半導体ダイの前記対向する表面の反対側の表面が互いに電気的に接続されたことを特徴とする半導体デバイス。

【請求項2】 前記半導体ダイが、MOSゲート半導体デバイスであることを特徴とする請求項1に記載の半導体デバイス。

【請求項3】 前記第1の半導体ダイが、前記対向する表面の前記反対側の1つに配置されたソース電極およびゲート電極を有する第1のMOSFETであり、前記主パッド領域と接觸している前記第1の半導体ダイの表面が、ドレイン電極であることを特徴とする請求項1に記載の半導体デバイス。

【請求項4】 前記第2の半導体ダイが、ソース電極、ドレイン電極、およびゲート電極を有する第2のMOSFETであり、少なくとも前記ソースおよび前記ゲート電極が前記対向する表面の前記反対側の表面に配置されており、前記第2のMOSFETの前記ソース電極が、前記第1のMOSFETの前記ソース電極に接続され、前記第2のMOSFETの前記ゲート電極が、前記第1のMOSFETの前記ゲート電極に接続されることを特徴とする請求項3に記載の半導体デバイス。

【請求項5】 前記パッケージがT0220デバイスパッケージであることを特徴とする請求項1に記載の半導体デバイス。

【請求項6】 前記第1および第2の熱センサがそれれ、少なくとも1つのポリシリコンダイオードからなることを特徴とする請求項1に記載の半導体デバイス。

【請求項7】 前記第1および第2の熱センサがそれぞ

れ、直列に接続されたそれぞれの複数のポリシリコンダイオードからなることを特徴とする請求項1に記載の半導体デバイス。

【請求項8】 前記第1の熱センサが、前記第2の半導体ダイ内に形成されたトレンチ内に処理されることを特徴とする請求項1に記載の半導体デバイス。

【請求項9】 前記第1の熱センサが、前記第2の半導体ダイの温度を感知することを特徴とする請求項1に記載の半導体デバイス。

【請求項10】 前記第2の熱センサが、前記主パッド領域の温度を感知することを特徴とする請求項1に記載の半導体デバイス。

【請求項11】 前記第2の半導体ダイが、入力端子を含むことを特徴とする請求項1に記載の半導体デバイス。

【請求項12】 前記第2の半導体ダイが、前記入力端子に供給された入力信号に応じて、前記第1および第2の半導体ダイをターンオンおよびターンオフするためのドライバ回路を含むことを特徴とする請求項11に記載の半導体デバイス。

【請求項13】 前記第2の半導体ダイが、前記第1および第2の熱センサによってそれぞれ測定された第1および第2の温度の値から前記第1の半導体デバイスの温度を決定し、かつ、前記第1の半導体ダイの決定された温度に応じて前記ドライバ回路へ制御信号を供給するための論理回路をさらに含むことを特徴とする請求項12に記載の半導体デバイス。

【請求項14】 前記第2の半導体デバイスによって放散される電力が、前記第1の半導体デバイスによって放散される電力より小さいことを特徴とする請求項1に記載の半導体デバイス。

【請求項15】 主パッド領域および互いから分離した複数のピンを有する導電性リードフレームであって、前記主パッド領域が前記複数のピンの少なくとも1つに電気的に結合されるリードフレームと、

それぞれに電極を含む対向する表面を有し、第1の半導体デバイスを含む第1の半導体ダイと、
少なくとも1つが、少なくとも1つの電極を含む対向する表面を有し、前記第1の半導体デバイスの熱応答に応じるような第2の半導体デバイスを含む第2の半導体ダイであって、第1の熱センサが、少なくとも前記第2の半導体デバイスに隣接して第2の半導体ダイ上に配置され、第2の熱センサが、前記第2の半導体デバイスから離れて前記第2の半導体ダイ上に配置され、

前記第1および第2の半導体ダイのそれぞれの前記対向する表面の1つが前記主パッド領域の頂部に配置し、前記主パッド領域と熱的に接觸しており、互いに横方向に間隔が設けられており、前記第1の半導体ダイの少なくとも前記対向する表面の1つが前記主パッド領域と電気的に接觸し、

前記第1および第2のダイの前記対向する表面の反対側の表面が、前記第1および第2の半導体デバイスが並列に接続されるように、前記ピンのそれぞれに、かつ、互いに電気的に接続され、さらに、

前記リードフレームおよび前記第1および第2の半導体ダイおよび前記ボンディングワイヤを封入するための、モールドされたハウジングとを備え、

前記ピンが前記モールドされたハウジングの外部境界を越えて延長し、外部接続に利用できることを特徴とする半導体デバイス。

【請求項16】 前記半導体ダイがそれぞれのMOSゲート半導体デバイスを少なくとも含むことを特徴とする請求項15に記載の半導体デバイス。

【請求項17】 前記第1のMOSゲート半導体デバイスが、前記対向する表面の前記反対側の表面において配置されたソース電極およびゲート電極を有する第1のMOSFETであり、前記主パッド領域と接触する前記第1の半導体ダイの表面が、前記ドレイン電極であり、前記第1のMOSFETの前記ソース電極が前記ピンのそれぞれに接続されることを特徴とする請求項15に記載の半導体デバイス。

【請求項18】 前記第2のMOSゲート半導体デバイスが、ソース電極、ドレイン電極、および、ゲート電極を有する第2のMOSFETを含み、少なくとも前記ソースおよび前記ゲート電極が前記対向する表面の前記反対側の表面内に配置され、前記第2のMOSFETの前記ソース電極が前記第1のMOSFETの前記ソース電極に接続され、前記第2のMOSFETの前記ゲート電極が前記第1のMOSFETの前記ゲート電極に接続されることを特徴とする請求項17に記載の半導体デバイス。

【請求項19】 前記複数のピンが、前記主パッド領域の縁と一体化され、それから延長する少なくとも1つの第1のピン、および前記主パッド領域から分離された少なくとも2つの第2のピンを含むことを特徴とする請求項15に記載の半導体デバイス。

【請求項20】 前記第2のピンが、前記第1のピンを含む前記主パッド領域の前記縁に沿って配置されることを特徴とする請求項19に記載の半導体デバイス。

【請求項21】 前記モールドされたハウジングがT0220デバイスパッケージを含むことを特徴とする請求項20に記載の半導体デバイス。

【請求項22】 前記第2のピンの少なくとも1つが前記第1の半導体ダイに電気的に接続され、前記第2のピンの別の1つが前記第2の半導体ダイに電気的に接続されることを特徴とする請求項19に記載の半導体デバイス。

【請求項23】 前記第2の半導体ダイが前記ピンのそれぞれに電気的に接続される入力端子を含むことを特徴とする請求項19に記載の半導体デバイス。

【請求項24】 前記第2の半導体ダイが、前記入力端子に供給される入力信号に応じて、前記第1および第2の半導体ダイをターンオンおよびターンオフするためのドライバ回路を含むことを特徴とする請求項23に記載の半導体デバイス。

【請求項25】 前記第2の半導体ダイが、前記第1および第2の熱センサによってそれぞれ測定された第1および第2の温度の値から前記第1の半導体ダイの温度を決定し、かつ、前記第1の半導体ダイの決定された温度に応じて前記ドライバ回路へ制御信号を供給するための論理回路をさらに含むことを特徴とする請求項24に記載の半導体デバイス。

【請求項26】 少なくとも1つが、少なくとも1つの電極を含む対向する表面を有する半導体ダイに形成された集積回路デバイスであって、

MOSゲート半導体デバイスと、

前記MOSゲート半導体デバイスの温度を感知するための、前記MOSゲート半導体デバイスに隣接して前記半導体ダイ上に配置された第1の熱センサと、

前記半導体ダイが実装された基板の温度を感知するための、前記MOSゲート半導体デバイスから離れた前記半導体ダイ上に配置された第2の熱センサを含むことを特徴とする集積回路デバイス。

【請求項27】 前記MOSゲート半導体デバイスが、ソース電極、ドレイン電極、およびゲート電極を有するMOSFETであり、前記MOSFETの少なくとも前記ソース電極および前記ゲート電極が前記半導体ダイの前記対向する表面の1つに形成されることを特徴とする請求項26に記載の集積回路デバイス。

【請求項28】 前記第1および第2の熱センサがそれぞれ、少なくとも1つのポリシリコンダイオードからなることを特徴とする請求項26に記載の集積回路デバイス。

【請求項29】 第1および第2の熱センサがそれぞれ、直列に接続されたそれぞれの複数のポリシリコンダイオードからなることを特徴とする請求項26に記載の集積回路デバイス。

【請求項30】 前記第1の熱センサが、前記MOSゲート半導体デバイス内に形成されたトレンチ内に配置されることを特徴とする請求項26に記載の集積回路デバイス。

【請求項31】 前記半導体ダイの前記1つの表面が入力端子を含むことを特徴とする請求項26に記載の集積回路デバイス。

【請求項32】 前記半導体ダイが、前記入力端子に供給される入力信号に応じて、少なくとも前記MOSゲート半導体デバイスをターンオンおよびターンオフするためのドライバ回路を含むことを特徴とする請求項31に記載の集積回路デバイス。

【請求項33】 前記第1および第2の熱センサによっ

て、それぞれ測定された第1および第2の温度の値から、離れて配置された第2のMOSゲート半導体デバイスの温度を決定し、かつ、前記さらなるMOSゲート半導体デバイスの決定された温度に応じて前記ドライバ回路に制御信号を供給するための論理回路をさらに含み、前記MOSゲートデバイスおよび前記離れて配置された第2のMOSゲート半導体デバイスが、熱伝導性のある共通の基板に実装されることを特徴とする請求項32に記載の集積回路デバイス。

【請求項34】 主パッド領域を有する導電性リードフレームからなるデバイスパッケージ内に配置された第1の半導体デバイスの温度を決定する方法であって、第1の半導体ダイの対向する表面の1つが、前記主パッド領域の頂部に配置され、前記主パッド領域と電気的および熱的に接觸するように、それぞれの電極を含む前記対向する表面を有する前記第1の半導体ダイを前記主パッド領域に配置するステップであって、前記第1の半導体ダイが前記第1の半導体デバイスを含むステップと、第2の半導体ダイの対向する表面の1つが、前記主パッド領域の頂部に配置され、前記主パッド領域と熱的に接觸し、前記第1の半導体ダイから間隔が空くように、少なくとも1つが少なくとも1つの電極を含む前記対向する表面を有する前記第2の半導体ダイを、前記主パッド領域に配置するステップであって、前記第2の半導体ダイが、前記第1の半導体デバイスの熱応答に応じるよう第2の半導体デバイスを含み、第1の熱センサが、少なくとも前記第2の半導体デバイスに隣接して前記第2のダイ上に配置され、第2の熱センサが前記第2のMOSゲート半導体デバイスから離れて前記第2のダイ上に配置されるステップと、前記第1および第2の半導体デバイスが並列に接続されるように、前記第1および第2のダイの前記対向する表面の反対側の表面を互いに電気的に接続するステップと、前記第1の熱センサを使用して、前記第2のMOSゲート半導体デバイスの温度を表す第1の温度の値を決定するステップと、前記第2の熱センサを使用して、前記主パッド領域の温度を表す第2の温度の値を決定するステップと、前記第1および第2の温度の値から、前記第1のMOSゲート半導体デバイスの温度を決定するステップを含むことを特徴とする方法。

【請求項35】 前記半導体デバイスがMOSゲート半導体デバイスであることを特徴とする請求項34に記載の方法。

【請求項36】 前記第1のMOSゲート半導体デバイスが、前記対向する表面の前記反対側の表面に配置されたソース電極およびゲート電極を有する第1のMOSFETであり、前記主パッド領域と接觸する前記第1のダイの表面が前記ドレイン電極であることを特徴とする請

求項34に記載の方法。

【請求項37】 前記第2のMOSゲート半導体デバイスが、ソース電極、ドレイン電極、およびゲート電極を有する第2のMOSFETであり、少なくとも前記ソースおよび前記ゲート電極が前記対向する表面の前記反対側の表面に配置され、前記第2のMOSFETの前記ソース電極が前記第1のMOSFETの前記ソース電極に接続され、前記第2のMOSFETの前記ゲート電極が前記第1のMOSFETの前記ゲート電極に接続されることを特徴とする請求項36に記載の方法。

【請求項38】 第1および第2の熱センサがそれぞれ、直列に接続されたそれぞれの複数のポリシリコンダイオードからなる含むことを特徴とする請求項34に記載の方法。

【請求項39】 前記第1および第2の温度の値がそれぞれ、直列に接続されたそれぞれの前記複数のダイオードによって決定されるそれぞれの値の加算によって、決定されることを特徴とする請求項38に記載の方法。

【請求項40】 前記第2のMOSゲート半導体デバイスによって放散される電力が、前記第1のMOSゲート半導体デバイスによって放散される電力より小さいことを特徴とする請求項34に記載の方法。

【請求項41】 前記第2のMOSゲート半導体デバイスによって放散される電力が、前記第1のMOSゲート半導体デバイスによって放散される電力の約2分の1であることを特徴とする請求項34に記載の方法。

【請求項42】 前記第1のMOSゲート半導体デバイスの前記温度が、前記第2のMOSゲートデバイスによって放散される電力と前記第1のMOSゲートデバイスによって放散される電力との比によって、さらに決定されることを特徴とする請求項34に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイスに関し、より詳細には、一体化した温度感知および制御ダイが、MOSゲートパワー半導体デバイスとして同じハウジングに実装された半導体デバイスに関する。

【0002】

【従来の技術】 MOSゲートを備えた制御半導体デバイスの温度の決定は、安定状態の条件下と同様に、過渡状態の条件下でも、デバイスの動作信頼性の高いレベルを達成することが非常に望ましい。例えば、デバイスは、所定のダイ温度でシャットダウンしてもよい。また、過剰電流保護はダイの温度と時間に応じて達成することもできる。

【0003】 パワーデバイスの直接的な温度測定を可能にするために、制御および保護回路をパワーデバイスと同じモノリシックダイに一体化されてもよいが、このようなモノリシックデバイスは複雑であり、ディスクリートの単純なパワーデバイスの製造プロセスを複雑にす

る。

【0004】さらに、パワーデバイスと一体化できる制御機能の選択において、柔軟性を小さくする。

【0005】

【発明が解決しようとする課題】したがって、独立したパワー半導体デバイスを、制御および保護機能を含む分離したダイと同包する（co-package）ことが望ましい。しかし、パワーデバイスから制御および保護機能を分離することにより、温度感知回路は、パワーデバイスからある距離だけ離れて実装されるか、または、比較的大きな熱抵抗を有する共通の基板上にパワーデバイスとともに実装される。この分離または熱抵抗により、温度感知回路がパワーデバイス接続部分の温度を即座に決定することが阻止される。さらに、この分離および熱抵抗により、過渡条件下での温度の決定が妨げられる。

【0006】したがって、制御ダイの温度感知素子がパワーデバイスの温度を正確かつ動的に決定する能力を有することが望ましい。

【0007】

【課題を解決するための手段】本発明は、主パワーダイより小さいが、パワーデバイスの熱応答と同等または類似の熱応答を有する小さなパワーダイに一体化した制御および温度感知（または論理）ダイとともに同包されるパワー半導体デバイスを提供する。この小さい方のパワーデバイスは、主パワーデバイスの加熱に比例した量だけ論理素子を加熱する。この小さい方のデバイスの温度、ならびに主および小さい方のダイの両方を搭載する基板の温度を測定するために、温度センサはこの小さい方のダイに含まれ、この小さい方のダイの論理回路に信号を供給する。

【0008】本発明を実施するにあたり、半導体デバイスは、主パッド領域を有し、互いに分離されたピンを有する導電性リードフレームからなる共通のデバイスパッケージに同包してもよい。この主パッド領域は、ピンの少なくとも1つと電気的に結合される。モールドされたハウジングは、リードフレームを封入し、ピンはモールドされたハウジングの外部境界を越えて延長し、外部接続に利用できる。それぞの電極を含む対向する表面を有する第1および第2の半導体ダイは、主パッド上に実装される。第1の半導体ダイは、標準ディスクリートパワーMOSFETまたは他のMOSゲートパワーデバイスなどの第1の半導体デバイスからなる。第2の半導体ダイは、内部に一体化した温度センサおよび論理回路を有し、第1のデバイスより大幅に小さいパワーMOSFET（MOS電界効果トランジスタ）または他のMOSゲートパワーデバイスであってもよい第2の半導体デバイスを含む。第1の熱センサは、第2の半導体デバイスに隣接した第2のダイ上に配置されており、第2の熱センサは、第2の半導体デバイスから離れた第2のダイ上に配置されている。第1および第2の半導体ダイのそれ

ぞの対向する表面の1つは、主パッド領域の頂部に配置されており、主パッド領域と熱的に接触する。少なくとも第1のダイはまた、主パッド領域と電気的に接触する。第1および第2のダイは、互いから横方向に間隔が設けられている。第1および第2のダイの対向する表面は、両半導体デバイスが並列に接続されるように、互いに電気的に接続されるとともに、それぞれのピンに電気的に接続される。

【0009】この実施形態によれば、小さい方のMOSFETは、温度感知MOSFETとして機能し、主パワーMOSFETに並列に接続される。第1の熱センサは、感知MOSFETの温度を決定するために、感知MOSFET内またはその近い周辺のどちらに配置される。第2の温度センサは、リードフレームの温度が測定できるように、温度感知MOSFETセルに対して遠い位置の制御および温度感知ダイ上に配置される。温度感知MOSFETによって放散される電力とパワーMOSFETによって放散される電力の比は知られており、この比および測定された温度から、パワーMOSFETの温度が決定される。

【0010】温度センサは、測定値の決定を単純化するために、直列に接続されたポリシリコンダイオードなどの複数の同一のセンサ素子から構成されてもよい。

【0011】本発明の別の態様によれば、パッケージの第1の半導体デバイスの温度は、第1および第2の熱センサによって測定された温度の値から決定される。

【0012】新規な発明は、標準的なディスクリートパワーMOSFETダイとともに同包される、新しい「熱ミラー」回路の形態である。

【0013】したがって、10枚のマスクのプロセスで作れる論理ダイは、米国特許第5,795,793号明細書に示される形式のものであってもよい4枚のマスクのディスクリートダイを制御する。解決されたこの問題は、論理ダイおよびディスクリートFETが、異なった $R_{DS(ON)} \times$ 面積（例えば、論理ダイについては 200 mW mm^2 、ディスクリートFETについては 100 mW mm^2 ）を有するために発生する。本発明の基本概念は、以下の形態の主FET温度（ T_{FET} ）に関した出力信号を発生することである。

【0014】

$T_{FET} = (K + 0.2) (T_{SENSE} - T_{TAB}) - T_{TAB}$
ここで、K = 技術係数（2つの異なった技術の $R_{DS(ON)} \times$ 面積の比）。加算された係数の0.2は、論理ダイの横方向の温度差について調整する。この例において、与えられたKは2.0である。

T_{SENSE} = 論理ダイの小さなMOSFETによって発生された温度であり、論理ダイの温度を発生する。

T_{TAB} = 2つのダイの共通の支持部の温度。

【0015】ひとたび T_{FET} が150°C（または、所定の他のいくつかの温度）に達すると、FETはターン

オフされる。

【0016】本発明の他の特徴および利点は、添付の図面を参照した本発明の以下の記述を読むと明らかになる。

【0017】

【発明の実施の形態】本発明は、新規な半導体デバイス、および、さらに小さい温度感知MOSFETを含む制御および保護回路ダイとともに、パワーMOSFETダイが内部に同包されるハイブリッドデバイスパッケージを提供する。他のいかなるデバイスパッケージも使用できるが、このデバイスパッケージは、一般に、T0220デバイスパッケージである。

【0018】まず、図1を参照すると、従来の表面実装されたT0220パッケージ10の概略切欠側面図が示される。MOSゲートパワー半導体デバイスなどの半導体ダイ18の底部表面は、パッケージの金属リードフレームパッド14に、はんだ付け、接着、または、他の方法で付着される。このパッド14は、デバイス18との熱的接触を与え、また、デバイスに電気的な接続を与えてよい。

【0019】デバイス18の上部端子、例えば、ソース電極は、1つまたは複数のリードフレーム端子12にワイヤボンド16によって接続される。ゲート端子(図1には示さない)などの別のリードフレーム端子は、別のワイヤボンド(図示されない)によって接続される。デバイス18およびリード端子12の一部およびパッド14は、一般には樹脂で形成されるパッケージ本体に封入される。

【0020】図2および図3は、リードフレームの共通ボンディングパッド領域に内部搭載されたパワーMOSFETダイと、論理および保護回路ダイを示す。

【0021】次に、この図2および図3を参照すると、絶縁ハウジング10内にリードフレームパッド14を有するリードフレームが概略的に示される。このパッド14は、一体型の出力ドレインリード20、ソースリード12、および、入力制御リード21を有し、これらの全ては、3ピン形状での接続のためにアクセスできるように、絶縁ハウジング10を貫通している。パワーMOSFETダイ25は、ハンダ付けなどでパッド14に固定される。

【0022】MOSFETダイ25は、米国特許第5,008,725号明細書に示されるダイなどの標準的な縦形導電ディスクリートパワーMOSFETダイである。その底部ドレイン電極は、はんだ層26によってパッド14に対して、ハンダ付けされるか、または他の方法で電気的および熱的に接続される(図3)。ダイ25は、論理回路素子を備えたダイを製造するために必要なマスクステップの数と比べて、マスクの数が削減されたプロセスで製造された他のいかなるタイプのMOSゲートデバイスでもよい。一般に、ダイ25は、170ミル

(0.432cm)の幅および185ミル(0.47cm)の長さを有し、10ミリオームの抵抗および約50ボルトのブロッキング電圧を有する250ミクロンの厚さとすることができる。ダイ25はまた、頂部のソース電極27およびゲート電極28を有する。

【0023】過去、熱感知論理回路は、温度測定を目的として、ダイ25に一体化してきた。しかし、これは、主パワーダイ25の製造を実質的に複雑にし、多くの付加的な製造ステップが必要となり、かつその費用も増加させる。

【0024】本発明の1つの態様によれば、はるかに小さい予備のMOSFETすなわち論理ダイ30(FETまたは論理MOSFETと呼ばれることがある)は、主FET25と並列に接続され、主MOSFET25の温度を測定し、それに応じた主MOSFET25の制御を行うために必要な一体化した温度監視回路および他の制御回路を含む。論理ダイ30は、主ダイ25より(半分以下の)はるかに小さい面積を有する。これは、導電性エポキシメントなどによって導電性パッド14に接着される底部ドレイン電極、および、主ソース電極31を含む。ダイ30は、35ミル(0.09cm)×100ミル(0.254cm)の面積および約400ミクロンの厚さを有することができる。ダイ30のパワーパー部は、主ダイ25の形状と同じ形状を採用してもよい。しかし、論理ダイは、図4、図5および図6によって以下に述べられるように、内部に一体化した論理領域33を有する。

【0025】MOSFET25のソース27は、金製ケルビンボンディングワイヤ40によって、FET30上の論理ダイのソース31に接続され、ダイ30のゲート電極41は、金製ボンディングワイヤ42によって、MOSFET25のゲート28に接続される。

【0026】アルミニウム製ボンディングワイヤ43は、ソース27をソースリード12に接続し、入力リード21は、ボンディングワイヤ44によってダイ25内の集積回路33への入力へ接続される。

【0027】したがって、主MOSFET25および論理MOSFET30は並列に接続されること、および、MOSFET25のゲート28は集積回路33の出力に応答して制御されることがわかる。

【0028】したがって、本発明の第1の特徴によれば、温度測定プロセスは、目標温度が測定された時に主MOSFET25をターンオフできるようになるに、並列接続された主MOSFET25に概ね比例して加熱する小さい方の論理MOSFET30において遂行することができる。

【0029】

【数1】

$R_{DS0N} \times \text{ダイ } 30 \text{ の面積}$

• 2

 $R_{DS0N} \times \text{ダイ } 25 \text{ の面積}$

論理MOSFET 30は、MOSFETを作るために使用されるプロセスの一部に依存して、主層MOSFET 25の温度の約80%までしか加熱しないことがわかっている。したがって、いかなるMOSFETについても、 $R_{DS0N} \times \text{ダイ面積}$ の積の大きさは、その製造プロセスに依存する。MOSFETダイ25を作るために使用されるプロセス（例えば、米国特許第5,795,793号明細書に述べられたプロセス）についての $R_{DS0N} \times \text{面積}$ の大きさは100mW/mm²である一方、論理MOSFET 30を作るために使用されるプロセス（SiVプロセス）についてのそれは、200mW/mm²である。

【0030】本発明のさらなる特徴によれば、IC 33の位置におけるダイ30上の測定温度（以下、温度 T_{SENSE} ）は、銅製パッド14における温度（以下、 T_{TAB} ）が、以下の関係によって主MOSFET 25の頂部の温度（以下、 T_{FET} ）に関連するように調整される。

【0031】 $T_{FET} = 2.2 (T_{SENSE} - T_{TAB}) + T_{TAB}$ 「2.2」は、主ダイに比べて80%という測定された論理ダイでの減少を調整するために、上記に導かれた比2から増加された技術係数である。この差は、2つのダイの横方向の温度勾配における差によると考えられる。【0032】図4は、点線のブロック33内に示されるMOSFET 30の集積回路33を備えた、2つのMOSFET 25および30の回路図である。主パワーMOSFETダイ25は、図2に示す外部端子12および20と、ゲート電極28を有する。MOSFET 30のドレイン電極50は、図3のパッド14を通じて、MOSFET 25のドレイン20に接続され、論理MOSFET 30のソース31は、MOSFET 25のソース12に接続される。ゲート電極28および41も、同様に共に接続される。

【0033】制御端子21への入力信号は、ドライバ2の1つの端子へ接続され、ツェナーダイオード51によって保護される。ドライバ52の出力は、ゲート端子41に、および、デバイスセル54の主本体を備えた電流ミラー回路内にある電流感知セル53のゲートに接続される。次いで、出力 V_{SENSE} が電流比較器60と結合され、電流比較器60は集積論理回路61へ出力を発生し、集積論理回路61は、測定された電流が所定のある値を超えた場合、「off」の信号をドライバ52に送り、したがって、MOSFET 25および30をシャットオフすることになる。

【0034】「温度ミラー」の形態で動作する温度センサ回路は、2つの温度発生源、すなわち、パッド14の温度である T_{TAB} 70、および、MOSFETダイ30

の頂部の温度である T_{SENSE} 71を有する。この温度は、図6に示すポリシリコンダイオードなどによって測定することができる。これらの2つの温度信号は、前述された以下の関係から、 T_{FET} （MOSFET 25の）の計算を行う集積回路73内に印加される。

【0035】 $T_{FET} = 2.2 (T_{SENSE} - T_{TAB}) + T_{TAB}$ 次いで、この測定された値は、与えられたトリガー温度、例えば、150°Cと比較され、その状態の論理回路61へ出力を発生し、したがって、MOSFET 25および30をともにターンオフする。

【0036】図5は、回路73から温度超過信号を発生するための温度センサ回路を示す。したがって、図5では、ダイオード82および84は、パッド14上に、MOSFET 30から離れて、または、遠くに配置されたポリシリコンダイオードである。これらのダイオードは、電流源83と直列に接続される。それらの順電圧降下は、タブの温度に関連する。

【0037】ダイオード86、88、および90は、同様に、MOSFET 30の領域41の表面頂部のポリシリコンダイオードであり、領域41からは絶縁されており（図6）、電流源85と直列に接続される。各ストリングの出力は、オペアンプ92の端子に接続され、オペアンプ92の出力は、温度差（ $T_{SENSE} - T_{TAB}$ ）に関係する。次いで、これは、 T_{FET} の計算を完了するために、回路73でさらに処理される。

【0038】以上、本発明の特定の実施形態に関して述べたが、当業者には他の多くの変更および他の用途も明らかであろう。したがって、本発明が本明細書の特定の開示によってではなく、特許請求の範囲によってのみ限定されることが好ましい。

【図面の簡単な説明】

【図1】本発明の主および論理ダイを実装することができる従来のTO 220デバイスパッケージの概略断面図である。

【図2】本発明の一実施形態に従つた、固定されたパワーMOSFETダイおよび論理ダイを有し、図1のパッケージに収容できるリードフレームの概略切欠上面図である。

【図3】図2のリードフレームおよび2つの半導体ダイの断面図である。

【図4】図2および図3のダイに含まれる回路を示す概略図である。

【図5】図2の論理ダイの温度センサのためのポリシリコンダイオードの実装を示す回路図である。

【図6】論理ダイのMOSFET内にある図5の温度感知ポリシリコンダイオードの典型的な配置を示す斜視図である。

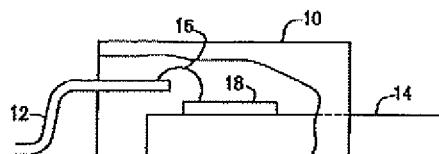
【符号の説明】

10 パッケージ

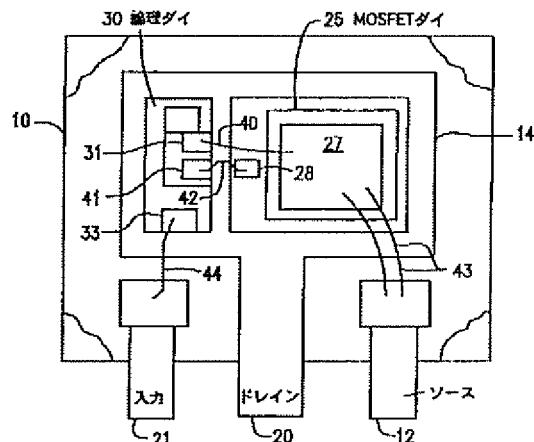
12 リード端子

14 リードフレームパッド	43 アルミニウム製ポンディングワイヤ
16 ワイヤボンド	44 ボンディングワイヤ
18 半導体ダイ	50 ドレイン電極
20 出力ドレインリード	51 ツエナーダイオード
21 入力制御リード	52 ドライバ
25 パワーMOSFETダイ	53 電流感知セル
26 はんだ層	54 デバイスセル
27 ソース電極	60 電流比較器
28 ゲート電極	61 集積論理回路
30 論理ダイ	71 T_{SENSE}
31 ソース	82、84、86、88、90 ダイオード
33、73 集積回路	83、85 電流源
40、42 金製ポンディングワイヤ	92 オペアンプ
41 ゲート電極	

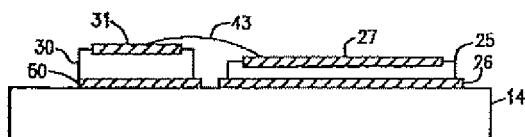
[図1]



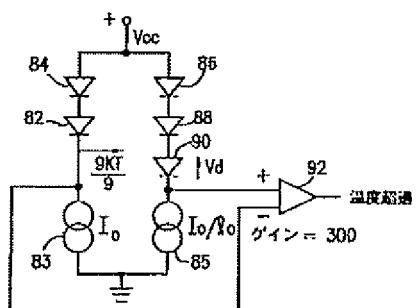
[图21]



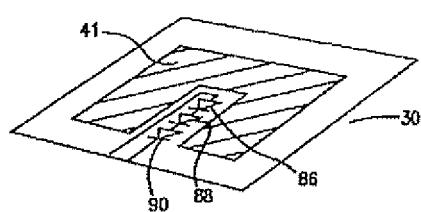
〔图31〕



[图5]



[图61]



【図4】

